

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-109265

(43)Date of publication of application : 30.04.1993

(51)Int.Cl.

G11C 11/401

(21)Application number : 03-270825

(71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing :

18.10.1991

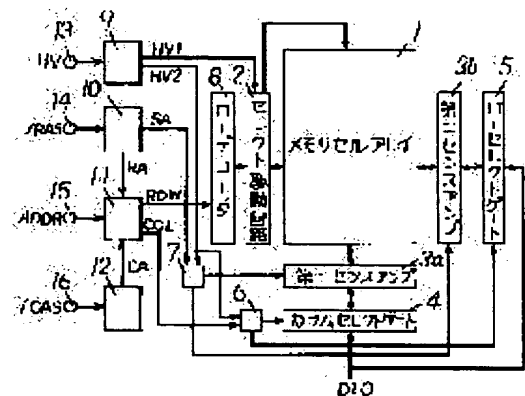
(72)Inventor : NISHI KAZUYOSHI
MORI TOSHIKI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To plot a vertical line at high speed by providing a vertical word line, a horizontal bit line and a cell transistor connecting between the terminal of a memory cell capacitor and the horizontal bit line.

CONSTITUTION: Horizontal/vertical selecting signals HV1, 2 are generated in a horizontal/vertical selecting circuit 9 and inputted respectively to a circuit 2, a column decoder 6 and a sense amplifier driver 7. The signal HV1 is inputted to the circuit 2, is connected to the vertical word line of a memory cell array 1 and the horizontal word line is fixed to a row. By means of that the signals HV2 are inputted to the decoder 6 and the driver 7, are connected to a sense amplifier 3b and a row selecting gate 5 and the sense amplifier 3a and a column selecting gate 4 are inactivated. By doing like this operation, since display data in a graphic system corresponds to the writing data of the memory cell array, the optional vertical line on a display screen is plotted at high speed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-109265

(43) 公開日 平成5年(1993)4月30日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/401

8320-5L

G 1 1 C 11/34

3 6 2 D

審査請求 未請求 請求項の数1(全 8 頁)

(21) 出願番号 特願平3-270825

(22) 出願日 平成3年(1991)10月18日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 西 和義

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 森 俊樹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 小鍛冶 明 (外2名)

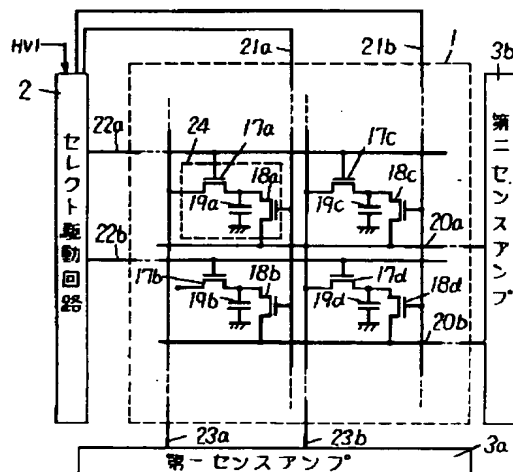
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 メモリセルアレイの任意の垂直方向における垂直ページモードを実現する。

【構成】 メモリセルアレイ1内の垂直方向のアクセスを可能にする垂直ワード線21a、21bと、メモリセル容量に入出力を行なう水平ビット線20a、20bと、メモリセル容量の一方の端子と水平ビット線20a、20bとを接続するための第二セルトランジスタとを有することにより、垂直方向のページモードを実現可能とする。

17a, 17c, 17d 第一セルトランジスタ
18a, 18b, 18c, 18d 第二セルトランジスタ
20a, 20b 水平ビット線
21a, 21b 垂直ワード線
22a, 22b 水平ワード線
23a, 23b 垂直ビット線
24 メモリセル



1

【特許請求の範囲】

【請求項1】 行アドレスと列アドレスとを時分割で与える半導体記憶装置において、データを蓄えるためのメモリセル容量と、前記メモリセル容量の一方にソースまたはドレインが接続された第一セルトランジスタと、前記メモリセル容量の一方にソースまたはドレインが接続された第二セルトランジスタとを有するメモリセルと、マトリックス状に配置された前記メモリセルにより構成されたメモリセルアレイと、このメモリセルアレイ内の横方向の前記メモリセルを活性化するための水平ワード線と、前記メモリセルアレイ内の縦方向の前記メモリセルを活性化するための垂直ワード線と、前記メモリセルアレイ内の縦方向の前記メモリセルにデータを入出力するための垂直ビット線と、前記メモリセルアレイ内の横方向の前記メモリセルにデータを入出力するための水平ビット線と、前記メモリセルアレイの一行あるいは一列を前記行アドレスあるいは列アドレスにより選択するワード線セレクト駆動回路と、前記行アドレスにより指定された前記メモリセルアレイの一行のデータを増幅する第一センスアンプと、前記列アドレスにより指定された前記メモリセルアレイの一列のデータを増幅する第二センスアンプと、前記列アドレスにより前記第一センスアンプからのデータを選択するためのカラムセレクトゲートと、前記行アドレスにより前記第二センスアンプからのデータを選択するためのローセレクトゲートとを有することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置に関するものであり、とくにグラフィックスシステムに用いられる画像メモリに利用すると有用な半導体記憶装置に関するものである。

【0002】

【従来の技術】 グラフィックスシステムに用いられる画像メモリは、図形データ書き込み用のランダムポートと、表示装置への表示データ読みだし用としてシリアルポートを備えることにより、表示データ読み出しのためのメモリアクセス回数を減らすことができる構成となっているが、図形データの書き込みにおいては、汎用の半導体記憶装置と同様の機能と動作を行なうもので構成されており、グラフィックスシステムにおける描画速度の向上には、半導体記憶装置への図形データ書き込み速度の向上が必要となってくる。

【0003】 以下に、従来の半導体記憶装置について説明する。図4は従来の半導体記憶装置の構成図である。図4において、28はメモリセルアレイで、データを蓄える機能を有し、29はローデコーダで、メモリセルアレイ28内の行方向を選択する機能を有し、3aはセンスアンプで、メモリセルアレイ28内の列方向の情報を増幅する機能を有する。4はカラムセレクトゲートで、

2

メモリセルアレイ28内のデータをアクセスする時に、列方向を選択する機能を有し、31はカラムデコーダで、メモリセルアレイ28内の列方向を選択する情報をカラムセレクトゲート4に与える機能を有する。11は入力アドレスラッチで、入力アドレス信号ADDRのうち、行アドレスと列アドレスを保持する機能を有し、10はタイミング発生回路で、ローデコード制御信号RA、及びセンスアンプ駆動信号SAを制御する機能を有し、12はタイミング発生回路で、カラムデコード制御信号CAを制御する機能を有する。14は制御信号ローアドレスストロブ入力端子で、制御信号ローアドレスストロブ（以下、制御信号/RASとする）を入力する機能を有し、15はアドレス信号入力端子で、アドレス信号ADDRを入力する機能を有し、16は制御信号カラムアドレスストロブ入力端子で、制御信号カラムアドレスストロブ（以下、制御信号/CASとする）を入力する機能を有する。

【0004】 図5はメモリセルアレイ28の内部構成図である。図5において、28はメモリセルアレイで、データを蓄える機能を有し、3aはセンスアンプで、メモリセルアレイ28内の列方向の情報を増幅する機能を有し、29はローデコーダで、メモリセルアレイ28内の行方向を選択する機能を有する。33a~33dはビット線で、メモリセルへのアクセス時にデータを外部へ、あるいはメモリセルへ伝える機能を有し、31a~31dはメモリセル容量で、データを蓄える機能を有し、30a~30dは第一セルトランジスタで、それぞれメモリセル容量31a~31dとビット線33a~33dとを接続する機能を有し、32a、32bはワード線で、それぞれメモリセル容量31a、31c及び31b、31dをアクセス可能にする機能を有する。また、以下においてメモリセルとは、第一セルトランジスタとメモリセル容量とを一对組み合わせた単位をいう。

【0005】 次に、以上のように構成された半導体記憶装置について、ページモードライトサイクルの動作について説明する。

【0006】 ページモードライトサイクルは、メモリセルアレイ内の1本のワード線上に接続されている複数のメモリセルに対して、1つずつに連続にデータを書き込む動作であり、ここでは、図5の2つのメモリセル容量31a、31cに対するページモードライトサイクルの動作を図6のタイミング図を参照しながら説明する。

【0007】 まず、区間S0ではメモリは待機状態である。次に、区間S1では、まずアドレス信号ADDRとして、行アドレスRが入力されており、制御信号/RASがローになることにより、タイミング発生回路10内でローデコード制御信号RAとセンスアンプ駆動信号SAが立ち上がり、それぞれ入力アドレスラッチ11とセンスアンプドライバ30に入力される。まず前記ローデコード制御信号RAが、入力アドレスラッチ11に入力

3

されることにより、行アドレスRが取り込まれ、ローデコード信号ROWが出力される。このローデコード信号ROWはローデコーダ29に入力され、ローデコーダ29によりメモリセルアレイ28内の1本のワード線32aが選択されることにより、このワード線32aに接続されている1行分のメモリセルが選択される。これと同時に、前記センスアンプ駆動信号SAがセンスアンプドライバ30に入力されることにより、センスアンプ3aが駆動され、前記のメモリセルアレイ28内の1行分のメモリセル内のデータが増幅される。

【0008】その後、図6の区間S2においては、まずアドレス信号ADDRとして、列アドレスC1が入力されており、制御信号/CASがローになることにより、タイミング発生回路12内でカラムデコード制御信号CAが立ち上がり、入力アドレスラッチ11に入力され、列アドレスC1が図4のカラムデコード信号COLとしてカラムデコーダ31に加えられる。このカラムデコーダ31の出力により、カラムセレクトゲート4がビット線33aを選択する。これにより、ビット線33aに接続されている列方向のメモリセルが選択され、前記の行方向の選択と合わさって、メモリセル容量31aが選択され、このメモリセル容量内に図4のデータ線DIO上の外部入力データが書き込まれて、結果としてメモリセルに対してアクセスが行なわれる。図6の区間S2で制御信号/CASがハイになると、図4のデータ線DIOはプリチャージされて待機状態になる。

【0009】図6の区間S3においては、まずアドレス信号ADDRとして、列アドレスC2が入力されており、制御信号/CASがローになることにより、列アドレスC2が図4のカラムデコード信号COLとしてカラムデコーダ31に加えられる。このカラムデコーダ31の出力により、カラムセレクトゲート4がビット線33cを選択する。これにより、ビット線33cに接続されている列方向のメモリセルが選択され、前記の行方向の選択と合わさって、メモリセル容量31cが選択され、このメモリセル容量内に図4のデータ線DIO上の外部入力データが書き込まれて、結果としてメモリセルに対してアクセスが行なわれる。

【0010】そして、図6の区間S4においては制御信号/RASがハイになり、同時に図4のローデコード制御信号RAとセンスアンプ駆動信号SAが立ち下ってビット線がプリチャージされ、メモリ全体としては待機状態になる。このようにして、図4のメモリセルアレイ内のデータをページモードライトサイクルでアクセスすることができる。

【0011】画像メモリにおいては、センスアンプの出力をシフトレジスタへ転送し、シリアルに読み出す機能を有するが、本発明には依存しないものなので記述しない。

【0012】

4

【発明が解決しようとする課題】グラフィックスシステムでは、表示画面上に水平、垂直線を描画する場合が多く、水平線を描画時は上記ページモードにより高速に描画できる。しかしながら上記従来の構成では、垂直線を描画する場合には、一個のメモリセルに対するライトアクセスを垂直線の行方向のワード線の数だけ繰り返さなければならないため、時間がかかるという課題を有していた。

【0013】本発明は上記従来の課題を解決するもので、メモリセルアレイの任意の行方向における垂直ページモードにより垂直線を高速に描画できる半導体記憶装置を提供することを目的とする。

【0014】

【課題を解決するための手段】この目的を達成するために本発明は、行アドレスと列アドレスとを時分割で与える半導体記憶装置において、データを蓄えるためのメモリセル容量と、メモリセル容量の一方にソースまたはドレインが接続された第一セルトランジスタと、メモリセル容量の一方にソースまたはドレインが接続された第二セルトランジスタとを有するメモリセルと、マトリックス状に配置されたメモリセルにより構成されたメモリセルアレイと、メモリセルアレイ内の横方向のメモリセルを活性化するための水平ワード線と、メモリセルアレイ内の縦方向のメモリセルを活性化するための垂直ワード線と、メモリセルアレイ内の縦方向のメモリセルにデータを入出力するための垂直ビット線と、メモリセルアレイ内の横方向のメモリセルにデータを入出力するための水平ビット線と、メモリセルの一行あるいは一列を行アドレスあるいは列アドレスにより選択するワード線セレクト駆動回路と、行アドレスにより指定されたメモリセルアレイの一行のデータを増幅する第一センスアンプと、列アドレスにより指定されたメモリセルアレイの一列のデータを増幅する第二センスアンプと、列アドレスにより第一センスアンプからのデータを選択するためのカラムセレクトゲートと、行アドレスにより第二センスアンプからのデータを選択するためのローセレクトゲートとを有する構成とするものである。

【0015】

【作用】この構成により、メモリセルアレイ内の垂直方向のアクセスを可能にする垂直ワード線と、メモリセル容量に入出力を行なう水平ビット線と、メモリセル容量の一方の端子と水平ビット線とを接続するための第二セルトランジスタとを有するため、メモリセルアレイの任意の行方向の垂直ページモードを可能とし、垂直線を高速に描画することができる。

【0016】

【実施例】図1は本発明の実施例における半導体記憶装置の構成図である。

【0017】図において、1はメモリセルアレイで、データを蓄える機能を有し、2は水平垂直ワード線セレクト

5

ト駆動回路で、水平垂直セレクト信号HV1の情報により水平ワード線と垂直ワード線のどちらかを選択駆動する機能を有し、3a、3bはセンスアンプで、それぞれメモリセルアレイ1内の列方向と行方向の情報を増幅する機能を有し、4はカラムセレクトゲートで、メモリセルアレイ1内のデータをアクセスする時に、列方向を選択する機能を有し、5はローセレクトゲートで、メモリセルアレイ1内のデータをアクセスする時に、行方向を選択する機能を有し、6はカラムデコーダで、水平垂直セレクト信号HV2の情報によりメモリセルアレイ1内の列方向あるいは行方向を選択する情報をカラムセレクトゲート4とローセレクトゲート5のどちらかに選択的に与える機能を有する。7はセンスアンプドライバで、水平垂直セレクト信号HV2の情報によりセンスアンプ3a、3bのどちらかを選択駆動する機能を有し、8はローデコーダで、メモリセルアレイ1内の行方向あるいは列方向のアドレスを選択する情報を水平垂直ワード線セレクト駆動回路2に与える機能を有し、9は水平垂直セレクト回路であり、メモリセルアレイ1をアクセスする時に水平垂直セレクト信号HV1、水平垂直セレクト信号HV2を制御する機能を有する。10はタイミング発生回路で、ロードレス取り込み制御信号RA、及びセンスアンプ駆動信号SAを制御する機能を有し、11は入力アドレスラッチで、入力アドレス信号ADDRのうち、行アドレスと列アドレスを保持する機能を有し、12はタイミング発生回路で、カラムデコード制御信号CAを制御する機能を有する。13は水平垂直モードセレクト信号入力端子で、メモリセルアレイ1内をアクセスする時に、水平方向アクセスか垂直方向アクセスかを選択するための水平垂直モードセレクト信号HVを入力する機能を有し、14は制御信号ローアドレスストロープ入力端子で、制御信号ローアドレスストロープ（以下、制御信号/RASとする）を入力する機能を有し、15はアドレス信号入力端子で、アドレス信号ADDRを入力する機能を有し、16は制御信号カラムアドレスストロープ入力端子で、制御信号カラムアドレスストロープ（以下、制御信号/CASとする）を入力する機能を有する。

【0018】図2にメモリセルアレイ1の内部構成を示す。2は水平垂直ワード線セレクト駆動回路で、水平垂直セレクト信号HV1の情報により水平ワード線と垂直ワード線のどちらかを選択駆動する機能を有し、3a、3bはセンスアンプである。

【0019】メモリセルアレイ1は以下の構成となっている。19a～19dはメモリセル容量で、データを蓄える機能を有し、20a、20bは水平ビット線で、メモリセルへのアクセス時に水平方向のメモリセル内のデータを外部へ、あるいはメモリセルへ伝える機能を有し、23a、23bは垂直ビット線で、メモリセルへのアクセス時に垂直方向のメモリセル内のデータを外部

6

へ、あるいはメモリセルへ伝える機能を有し、17a～17dは第一セルトランジスタで、それぞれメモリセル容量19a～19dと垂直ビット線23a、23bとを接続する機能を有し、18a～18dは第二セルトランジスタで、それぞれメモリセル容量19a～19dと水平ビット線20a、20bとを接続する機能を有し、21a、21bは垂直ワード線で、それぞれメモリセル容量19a、19b及び19c、19dをアクセス可能にする機能を有し、22a、22bは水平ワード線で、それぞれメモリセル容量19a、19c及び19b、19dをアクセス可能にする機能を有し、24はメモリセルでデータを蓄える機能を有する。

【0020】次に、以上のように構成された半導体記憶装置について、メモリセルアレイ1内の任意の垂直方向の連続アクセスを可能とする垂直ページモードライトサイクルの動作について、図3のタイミング図を参照しながら説明する。

【0021】以下の説明では、図2におけるメモリセル容量19a、19bに任意のデータを連続的に書き込む場合について説明する。

【0022】まず、区間S0ではメモリは待機状態である。次に、区間S1では、まずアドレス信号ADDRとして、列アドレスCが入力されており、水平垂直モードセレクト信号HVがローになることにより、水平垂直セレクト回路9内で水平垂直セレクト信号HV1、水平垂直セレクト信号HV2が発生され、それぞれ、水平垂直セレクト信号HV1は水平垂直ワード線セレクト駆動回路2に入力され、水平垂直セレクト信号HV2はカラムデコーダ6、及びセンスアンプドライバ7に入力される。水平垂直セレクト信号HV1が水平垂直ワード線セレクト駆動回路2に入力されることにより、水平垂直ワード線セレクト駆動回路2がメモリセルアレイ1内の垂直ワード線に接続され、水平ワード線はロー固定となる。これと同時に、水平垂直セレクト信号HV2がカラムデコーダ6、及びセンスアンプドライバ7に入力されることにより、センスアンプドライバ7とカラムデコーダ6がそれぞれセンスアンプ3bとローセレクトゲート5に接続され、センスアンプ3aとカラムセレクトゲート4は不活性となる。

【0023】次に制御信号/RASがローになることにより、タイミング発生回路10内でローデコード制御信号RAとセンスアンプ駆動信号SAが立ち上がり、それぞれ入力アドレスラッチ11とセンスアンプドライバ7に入力される。まず前記ローデコード制御信号RAが、入力アドレスラッチに入力されることにより、列アドレスCが取り込まれ、ローデコード信号ROWが出力される。このローデコード信号ROWはローデコーダ8に入力されデコードされた後、水平垂直ワード線セレクト駆動回路2に入力され、メモリセルアレイ1内の1本の垂直ワード線21aが選択されることにより、この垂直ワ

7

ード線21aに接続されている1行分のメモリセルが選択される。これと同時に、前記センスアンプ駆動信号SAがセンスアンプドライバ7に入力されることにより、センスアンプ3bが駆動され、前記のメモリセルアレイ1内の1列分のメモリセル内のデータが増幅される。

【0024】その後、図3の区間S2においては、まずアドレス信号ADDRとして、行アドレスR1が入力されており、制御信号/CASがローになることにより、タイミング発生回路12内でカラムデコード制御信号CAが立ち上がり、入力アドレスラッチ11に入力され、行アドレスR1が図1のカラムデコード信号COLとしてカラムデコーダ6に加えられる。このカラムデコーダ6の出力により、ローセレクトゲート5が水平ビット線20aを選択する。これにより、水平ビット線20aに接続されている行方向のメモリセルが選択され、前記の列方向の選択と合わさって、メモリセル容量19aが選択され、このメモリセル容量内に図1のデータ線DIO上の外部入力データが書き込まれて、結果としてメモリセルに対してアクセスが行なわれる。図3の区間S2で制御信号/CASが高になると、図1のデータ線DI

【0025】図3の区間S3においては、まずアドレス信号ADDRとして、行アドレスR2が入力されており、制御信号/CASがローになることにより、行アドレスR2が図1のカラムデコード信号COLとしてカラムデコーダ6に加えられる。このカラムデコーダ6の出力により、ローセレクトゲート5が水平ビット線20bを選択する。これにより、水平ビット線20bに接続されている行方向のメモリセルが選択され、前記の列方向の選択と合わさって、メモリセル容量19bが選択され、このメモリセル容量内に図1のデータ線DIO上の外部入力データが書き込まれて、結果としてメモリセルに対してアクセスが行なわれる。

【0026】そして、図3の区間S4においては制御信号/RASが高になり、同時に図1のローデコード制御信号RAとセンスアンプ駆動信号SAが立ち下ってビット線がプリチャージされ、メモリ全体としては待機状態になる。このようにして、図1のメモリセルアレイ内のデータを垂直ページモードライトサイクルでアクセスすることができる。

【0027】なお上記説明では、メモリセル容量19a, 19bをアクセスする場合について説明したが、メモリセル内の他の任意の垂直方向をアクセスする場合も

8

同様にして、説明可能である。

【0028】また、上記説明では、メモリセルアレイ内の任意の垂直方向を垂直ページモードライトサイクルでアクセスする場合について説明したが、リードモードにおいても同様に垂直ページモードリードサイクル動作が可能である。また、メモリセルアレイ1内の水平方向のメモリセル容量をアクセスする場合は、水平垂直モードセレクト信号HVをハイ状態に維持することにより、メモリセルアレイ1内の水平ワード線が選択され、センスアンプ3a, カラムセレクトゲート4により、水平ページモードが実行可能となる。

【0029】

【発明の効果】本発明を画像メモリに適用すれば、グラフィックスシステムにおける表示データとメモリセルアレイの書き込みデータとは対応しているの、表示画面上の任意の垂直線を高速に描画することができる。このように、本発明を画像メモリに適用することにより、グラフィックスシステムにおける描画速度を向上することができるので極めて有用である。

【図面の簡単な説明】

【図1】本発明の実施例における半導体記憶装置の構成図

【図2】同実施例におけるメモリセルアレイ周辺部の詳細構成図

【図3】同実施例における半導体記憶装置のタイミング図

【図4】従来の半導体記憶装置の構成図

【図5】従来のメモリセルアレイ周辺部の詳細構成図

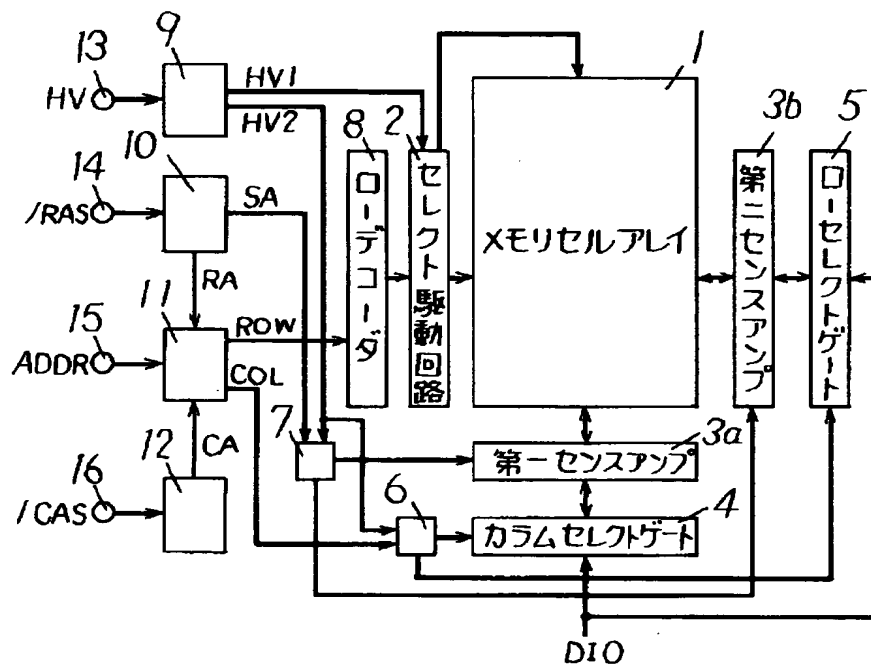
【図6】従来の半導体記憶装置のタイミング図

【符号の説明】

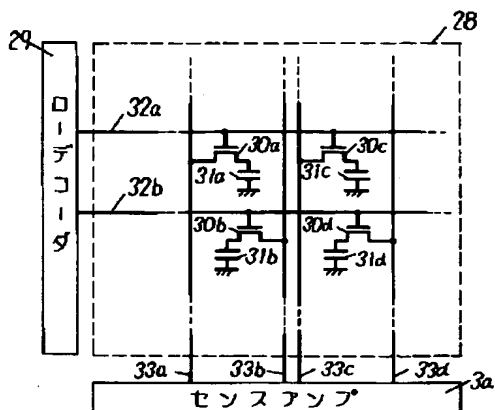
- 1 メモリセルアレイ
- 2 ワード線セレクト駆動回路
- 3a 第一センスアンプ
- 3b 第二センスアンプ
- 4 カラムセレクトゲート
- 5 ローセレクトゲート
- 6 カラムデコーダ
- 17a~17d 第一セルトランジスタ
- 18a~18d 第二セルトランジスタ
- 20a, 20b 水平ビット線
- 21a, 21b 垂直ワード線
- 22a, 22b 水平ワード線
- 23a, 23b 垂直ビット線

【図1】

- 1 メモリセルアレイ
- 3a 第一センスアンプ
- 3b 第二センスアンプ
- 4 カラム選択ゲート
- 5 ロー選択ゲート
- 6 カラムデコーダ
- 8 ローデコーダ

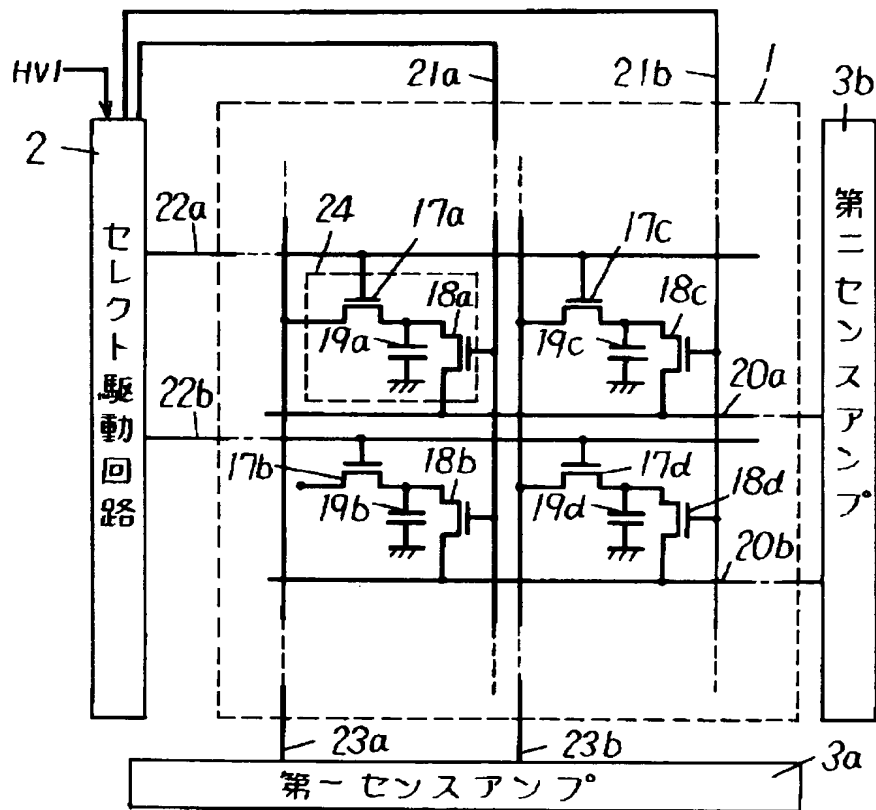


【図5】

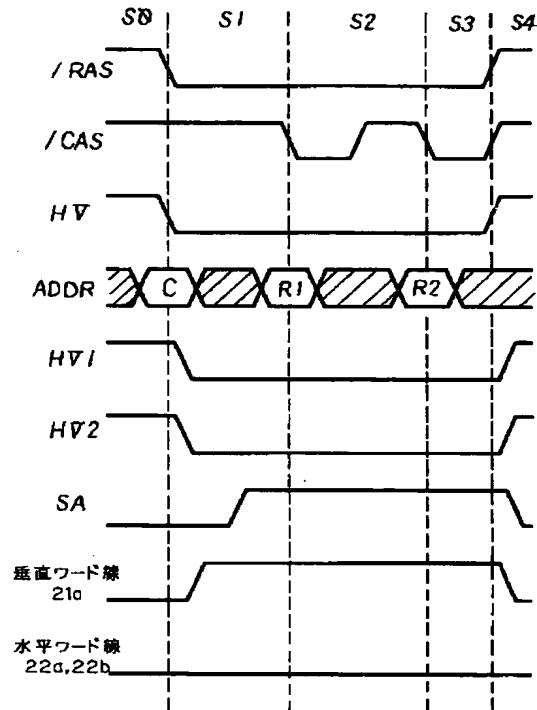


【図2】

- 17a, 17b, 17c, 17d 第一セルトランジスタ
 18a, 18b, 18c, 18d 第二セルトランジスタ
 20a, 20b 水平ビット線
 21a, 21b 垂直ワード線
 22a, 22b 水平ワード線
 23a, 23b 垂直ビット線
 24 メモリセル

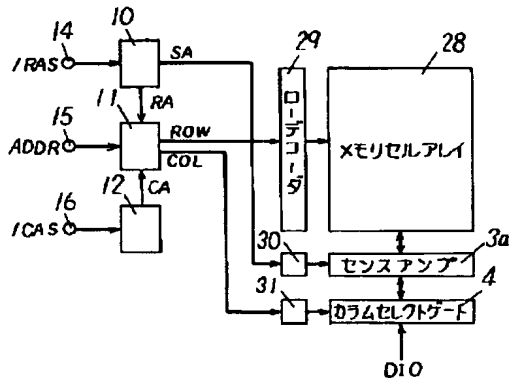


【図3】



【図4】

10,12 タイミング発生回路
11 入力アドレスラッチ



【図6】

